

## Optimierte Chiptests

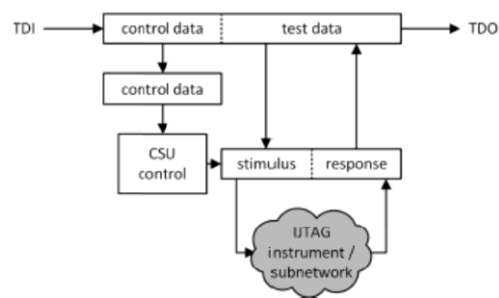
### Rekonfigurierbare Teststrukturen für schnelle IC-Tests

#### Erfindung

Integrierte Schaltungen, auch ICs genannt, müssen getestet werden – nur so lässt sich die geforderte Funktionaltät gewährleisten. Dazu werden die Schaltkreise mit zusätzlichen Teststrukturen versehen, genauer gesagt mit einem Testeingang (TDI) und einem Testausgang (TDO). Bei den bisher bekannten Teststrukturen legt man über den Testeingang Testsignale an und leitet diese durch alle Strukturen hindurch. Üblicherweise steht dazu nur ein Testzugang zur Verfügung, denn die Fläche, die für Zugänge zur Verfügung steht, ist limitiert. Die Folge: Lange Testdauern und somit kostenintensive Tests. In vielen Anwendungen sind Selbsttests des ICs, die während des Betriebs durchgeführt werden, aus Sicherheitsgründen notwendig. Beschrieben werden solche schnellen Selbsttests im Betrieb (In-Field-Test) von der Norm ISO 26262.



Wafertest, © istock – genkur



Prinzipdarstellung der rekonfigurierbaren Teststrukturen

#### Kommerzielle Anwendung

Obwohl Chipproduzenten bereits einen erheblichen Zeit- und Kostenaufwand in die Tests von ICs investieren, bleiben Fehler durch eine mangelnde Testabdeckung oft unentdeckt. Dazu kommt: Es werden große Mengen an Testdaten generiert, deren Analyse aufwändig ist. Beides geht mit hohen Kosten für die Hersteller von Mikrochips einher. Das neue Verfahren reduziert die benötigte Chipfläche und Testzeit erheblich.

#### Aktueller Stand

Eine Hardware-Realisierung der Erfindung liegt bisher nicht vor, jedoch konnte die prinzipielle technische Realisierbarkeit im Rahmen eines NRW-Patentvalidierungsprojekts nachgewiesen werden. Das deutsche Patent wurde unter dem Aktenzeichen DE 10 2017 216 444.1 beim Deutschen Marken- und Patentamt erteilt. Eine EP-Anmeldung unter dem Aktenzeichen EP 18 769 698.4 und eine US-Anmeldung unter dem Aktenzeichen US 16/616,161 sind offengelegt. Wir bieten interessierten Unternehmen die Möglichkeit der Lizenzierung sowie die Weiterentwicklung der Technologie in Zusammenarbeit mit den Erfindern an der Hochschule Hamm-Lippstadt an.

#### Relevante Veröffentlichungen

Concurrent IJTAG. Rene Krenz-Baath; Hochschule Hamm-Lippstadt, Workshop Test und Zuverlässigkeit (TuZ'18), 2018

Eine Erfindung der Hochschule Hamm-Lippstadt.

#### Vorteile

- Zeitersparnis
- Kostenreduktion beim IC-Test
- Gute Integrationsfähigkeit in Testprozesse

#### Technologie-Reifegrad

123456789

Versuchsaufbau im Labor

#### Branche(n)

- Elektrotechnik
- Halbleiterhersteller

#### Ref.-Nr.

4991

#### Kontakt

Martin van Ackeren

E-Mail: [ma@provendis.info](mailto:ma@provendis.info)

Tel.: +49(0)208-94105-34

